

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshihide KIKKAWA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **March 31, 2004**

For: **COMPOUND SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING
THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: March 31, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-367932, filed October 28, 2003

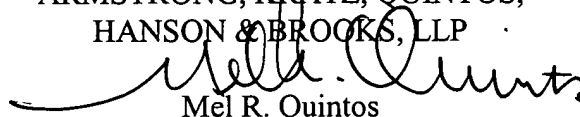
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP



Mel R. Quintos
Attorney for Applicant
Reg. No. 31,898

MRQ/jaz
Atty. Docket No. **040153**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 8 日
Date of Application:

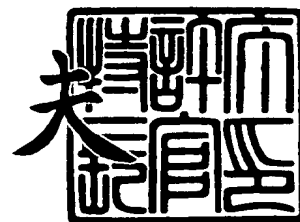
出 願 番 号 特 願 2 0 0 3 - 3 6 7 9 3 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 6 7 9 3 2]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 0340666
【提出日】 平成15年10月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 吉川 俊英
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】 特許請求の範囲**【請求項 1】**

電子走行層となる第 1 の窒化物半導体層と、
電子供給層となり、Al を含有する第 2 の窒化物半導体層と、
Al の含有量が 0 又は前記第 2 の窒化物半導体層よりも少ない第 3 の窒化物半導体層と
が基板上に順次成長してなる積層体を含み、
前記第 3 の窒化物半導体層は、その表面から深さ 2 nm 以内における窒素空孔率が 20 % 以下とされてなることを特徴とする化合物半導体装置。

【請求項 2】

前記第 2 の窒化物半導体層は、その Al の組成率を x 、膜厚を d (nm) として、
 $0.14 \leq x \leq 0.16$
及び、
 $1.7 \leq d \leq 2.4$
を満たし、且つ、
前記積層体のシート抵抗が $550 \Omega/\square \sim 850 \Omega/\square$ であることを特徴とする請求項 1 に記載の化合物半導体装置。

【請求項 3】

電子走行層となる第 1 の窒化物半導体層と、
電子供給層となり、Al を含有する第 2 の窒化物半導体層と、
Al の含有量が 0 又は前記第 2 の窒化物半導体層よりも少ない第 3 の窒化物半導体層と
が基板上に順次成長してなる積層体を含み、
前記第 2 の窒化物半導体層は、その Al の組成率を x 、膜厚を d (nm) として、
 $-80x + 2.9 < d < -180x + 5.2$
を満たす膜厚に形成されてなることを特徴とする化合物半導体装置。

【請求項 4】

前記第 2 の窒化物半導体層は、その Al の組成率 x が、
 $0.125 \leq x < 0.18$
であることを特徴とする請求項 3 に記載の化合物半導体装置。

【請求項 5】

前記第 2 の窒化物半導体層は、その Al の組成率を x 、膜厚を d (nm) として、
 $0.14 \leq x \leq 0.16$
及び、
 $1.7 \leq d \leq 2.4$
を満たし、且つ、
前記積層体のシート抵抗が $550 \Omega/\square \sim 850 \Omega/\square$ であることを特徴とする請求項 3 に記載の化合物半導体装置。

【請求項 6】

前記積層体の上部にゲート及びソース／ドレインを備えており、
前記ゲートの閾値電圧が -2.5 V 以上 -1.5 V 以下であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の化合物半導体装置。

【請求項 7】

前記第 2 の窒化物半導体層に n 型不純物が導入されており、その不純物濃度 N_d ($/\text{cm}^3$) が、
 $1 \times 10^{14} \leq N_d \leq -2 \times 10^{19}x + 5 \times 10^{18}$
を満たす値であることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の化合物半導体装置。

【請求項 8】

基板上に、電子走行層となる第 1 の窒化物半導体層を形成する工程と、
前記第 1 の窒化物半導体層上に、電子供給層となり、Al を含有する第 2 の窒化物半導体層を形成する工程と、

前記第2の窒化物半導体層上に、Alの含有量が0又は前記第2の窒化物半導体層よりも少なく、その表面から深さ2 nm以内における窒素空孔率が20%以下となるように制御してなる第3の窒化物半導体層を形成する工程と

を含むことを特徴とする化合物半導体装置の製造方法。

【請求項9】

前記積層体をMOCVD法により成長形成し、

前記第2及び第3の窒化物半導体層を1000℃以上の温度条件により成長形成するとともに、前記第3の窒化物半導体層の成長後、NH₃の流量を前記第3の窒化物半導体層の成長時よりも増加させることを特徴とする請求項8に記載の化合物半導体装置の製造方法。

【請求項10】

前記第3の窒化物半導体層の成長時のキャリアガスをH₂とし、成長後のキャリアガスをN₂とすることを特徴とする請求項8又は9に記載の化合物半導体装置の製造方法。

【書類名】明細書

【発明の名称】化合物半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、いわゆる HEMT 構造の化合物半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近時では、サファイア、SiC、GaN 又は Si 等を基板に使用し、当該基板上に GaN 層及び AlGaN 層を順次結晶成長して、GaN 層を電子走行層とする電子デバイスの開発が活発である。GaN 層はそのバンドギャップが 3.4 eV と GaAs の 1.4 eV に比べて大きく、高耐圧での動作が期待されている。

【0003】

現在、携帯電話の基地局用アンプとしては高電圧動作が要求されており、高耐圧が必須となっている。現状では、電流オフ時の耐圧として 200 V を越える値が報告されている。

また、いわゆる電流コラプスと呼ばれる動作中におけるオン抵抗の変動を抑制することが要求されており、このためには、更に GaN 層を AlGaN 層上に配置し、且つ SiN の保護膜を形成することを要する。

更には、SiN 保護膜上にゲート電極をオーバーハング形状に形成することにより、耐圧を向上させることも可能となる。

【0004】

従来、HEMT 構造の化合物半導体装置の具体例としては、図 12 に示すようなものがある（特許文献 1 参照）。

この化合物半導体装置は、基板 101 上にノンドープの GaN 層（i-GaN 層）102、AlGaN 層 103、及び n 型不純物がドープされた GaN 層（n-GaN 層）104 がエピタキシャル成長により順次積層形成されており、n-GaN 層 104 上に形成された SiN 膜 105 を貫通して GaN 層 104 とショットキー接合されてなるゲート電極 106 と、同様に n-GaN 層 104 とオーミック接合されてなるソース電極 107 及びドレイン電極 108 とを含み構成されている。

【0005】

ここで、AlGaN 層 103 は、膜厚が 3 nm 程度であり、Al 組成が 25% 程度とされた i-AlGaN 層 111 と、膜厚が 22 nm 程度であり、Al 組成が 25% 程度とされた n 型の AlGaN 層（n-AlGaN 層）112 とが積層され構成されている。

【0006】

【特許文献 1】特開 2002-359256 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、図 12 の化合物半導体装置では、ゲート電極のリーク電流量がデバイスに要求される規格値よりも大きいという問題があることが判った。破壊耐圧やゲート耐圧という規格では 100 V 以上であってもリーク電流の絶対値としては大きいことが判明してきた。これは、ゲート電極直下のラフネスが大きいと部分的に電界集中を起こし、リーク原因となるためである。

【0008】

本発明は、上記の課題に鑑みてなされたものであり、電流コラプスを低減させて RF 特性を改善し、携帯電話基地局用アンプに必要とされる耐圧を得ることを可能とする化合物半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の化合物半導体装置は、電子走行層となる第 1 の窒化物半導体層と、電子供給層

となり、A1を含有する第2の窒化物半導体層と、A1の含有量が0又は前記第2の窒化物半導体層よりも少ない第3の窒化物半導体層とが基板上に順次成長してなる積層体を含み、前記第3の窒化物半導体層は、その表面から深さ2 nm以内における窒素空孔率が20%以下とされてなる。

【0010】

本発明の化合物半導体装置は、電子走行層となる第1の窒化物半導体層と、電子供給層となり、A1を含有する第2の窒化物半導体層と、A1の含有量が0又は前記第2の窒化物半導体層よりも少ない第3の窒化物半導体層とが基板上に順次成長してなる積層体を含み、前記第2の窒化物半導体層は、そのA1の組成率をx、膜厚をd (nm)として、

$$-80x + 29 < d < -180x + 52$$

を満たす膜厚に形成されてなる。

【0011】

本発明の化合物半導体装置の製造方法は、基板上に、電子走行層となる第1の窒化物半導体層を形成する工程と、前記第1の窒化物半導体層上に、電子供給層となり、A1を含有する第2の窒化物半導体層を形成する工程と、前記第2の窒化物半導体層上に、A1の含有量が0又は前記第2の窒化物半導体層よりも少なく、その表面から深さ2 nm以内における窒素空孔率が20%以下となるように制御してなる第3の窒化物半導体層を形成する工程とを含む。

【発明の効果】

【0012】

本発明によれば、電流コラプスを低減させてRF特性を改善し、携帯電話基地局用アンプに必要とされる耐圧を得ることを可能とし、且つ携帯電話基地局用アンプに必要とされる耐圧を得ることができ、例えば50V動作も可能となり、化合物半導体の市場開拓に寄与することになる。

【発明を実施するための最良の形態】

【0013】

ー本発明の基本骨子ー

【1】. GaN層の表面ラフネスの改善

本発明者は、HEMT構造の化合物半導体装置において、ゲート電極直下のラフネスは物理的なもののみならず、結晶欠陥的なラフネスも重要であることに着目した。これは、第3の窒化物半導体層、ここではGaN層の表層において窒素が抜けてしまうことに起因する現象である。窒素が抜けた部分では、図1に示すように伝導帯から約0.4 eVの位置にトラップが形成される。このトラップが電流コラプスの主要原因となり、トラップが多過ぎるとリークパスも生じる虞がある。この窒素抜けをエピタキシャル成長の段階においてプロセスに耐える程度の強度で得る手法は未だ明らかではない。

【0014】

窒素抜けの現象自体は、非特許文献1で報告されており、ここではSiNにより窒素空孔が防止できる旨が記載されている。しかしながら、化合物半導体装置としてはそれだけでは不十分であり、非特許文献1には、AlGaNの記載は勿論のこと、AlGaNが下側に存在する場合のGaNの窒素抜けや、AlGaNの歪、表面の窒素抜け及び表面ラフネスの3者の相関について全く記載・示唆はない。

本発明は、この表面ラフネスと窒素空孔との相関に着目してなされたものである。

【0015】

本発明者は、結晶欠陥の改善に最も寄与する部位は、図2に示すように、例えば図12におけるGaN層104の表面から2 nm程度の領域であると考え、XPSを用いて調べたところ、GaN層の表面から2 nm程度の領域で窒素空孔率が20%以下であれば、窒素の空孔に起因するラフネスを低減できることが判った。なお、分析手段としては、XPSの代わりにオージェ分析、SIMS分析、顕微ラマン分析、顕微PL分析等を用いてもよい。そしてこの場合、2次元電子ガスの濃度が $1 \times 10^{13} / \text{cm}^2$ 以上 (A1組成率が25%など) であると、2次元電子ガスが多すぎて本質的にゲートリークを防止すること

が困難となる。他方、2次元電子ガスの濃度が $1 \times 10^{13} / \text{cm}^2$ 以下（Al組成率が15%など）であると、電流コラプスが大きく良好なRF特性が得られない。本発明では、 $1 \times 10^{13} / \text{cm}^2$ 以下の2次元電子ガス濃度で電流コラプス（GaN層の表面ラフネスに起因する）を発生させず所望の高出力特性を得ることができる。

【0016】

[2]、[1]を踏まえた第2の窒化物半導体層のAl組成率及び膜厚の厳密な規定
先ず初めに、Al組成率及び膜厚の規定に関する理論的背景について説明する。

【0017】

(1) Al組成率 x 及び膜厚 d の上限の規定：表面ラフネス

第2の窒化物半導体層（ここではAlGaN層）の膜厚が薄い場合には、表面ラフネスは小さくなり、厚い場合には表面ラフネスは大きくなる。この理由は以下の通りである。

AlGaNとGaNとでは格子不整合の状態となり、格子不整合による歪みにより上記ラフネスが生じる。歪みが大きくなりすぎると格子緩和が発生し、一気に転位が大量発生する。格子緩和寸前でも表面ラフネスが大きい場合、ゲート直下でチャネルとゲート電極との距離がばらつくことになり、その結果、電界集中のばらつきが大きくなるため、部分的に電界集中が大きくなって逆方向ゲートリークが大きくなる。

【0018】

この格子不整合度は、

$$\delta a = (\text{格子定数(AlGaN)} - \text{格子定数(GaN)}) / \text{格子定数(GaN)} \propto x$$

$$\text{総歪み量} \propto \delta a \times d$$

【0019】

ここで、総歪み量 δa と表面エンタルピー（H）とは指数関数的関係にあり、また表面エンタルピーと表面ラフネスとも比例関係にある。表面エンタルピーにより表面形状は決まるからである。よって、

$$\text{逆方向ゲートリーク} \propto 10^{-(\text{表面ラフネス})} \propto \text{表面エンタルピー} \propto \text{総歪み量} \propto x \times d$$

従って、逆方向ゲートリークを防ぐには、総歪み量の制御すなわちAlGaN層のAl組成率 x 及び膜厚 d の規定が重要である。

【0020】

格子不整合度は具体的には、

$$\text{AlNの格子定数} = 3.112 \text{ \AA}$$

$$\text{GaNの格子定数} = 3.189 \text{ \AA}$$

$$\delta a = 0.077 / 3.189 \times x$$

$$= 0.024 \times x \quad (x \text{ により線形に格子定数は変化する。ベガード則採用})$$

$$\text{総歪み量} \propto 0.024 \times x \times d$$

$$\text{例: } x = 15\%, d = 20 \text{ nm: 総歪み量} \propto 0.72 \times 10^{-8} \text{ cm}$$

$$x = 25\%, d = 20 \text{ nm: 総歪み量} \propto 1.2 \times 10^{-8} \text{ cm}$$

【0021】

表面エンタルピー \propto 総歪み量の相関係数は基礎実験と分子軌道計算によらなければならないが、逆方向ゲートリークと表面ラフネスについては実験データが存在するため、相関係数を計算することが可能となる。

$$\text{表面ラフネス (nm)} = 2.15 \times x \times d$$

$$\text{逆方向ゲートリーク } (\mu\text{A/mm}) \quad (V_g = -5 \text{ V})$$

$$= 1.8 \times 10^{-6} \times 10^{-(2.15 \times x \times d)}$$

表面ラフネスについて $x \times d$ と最大段差との関係を図3に、 $x \times d$ と逆方向ゲートリーク電流との関係を図4にそれぞれ示す。上記の関係より x 及び d の上限が規定される。特に、逆方向ゲートリーク電流量（ $V_g = -5 \text{ V}$ ）は $100 (\mu\text{A/mm})$ が上限となる。

【0022】

(2) Al組成率 x の下限の規定：順方向ゲートリーク

順方向ゲートリークはショットキーバリア高さで規定される。

パワーデバイスにおいては、最大出力近辺での順方向ゲートリークが重要な問題となる。最大出力近辺では逆方向でなく順方向にゲートリークが流れる。これはゲート電極の電位が順方向にバイアスされており、ゲート電極に電子が流れ込む現象が起こるためである。この流れ込みを抑えるためには、ゲート電極と半導体との間のショットキーバリア高さを高くする必要がある。

【0023】

ショットキーバリア高さ ϕ_B は、

$\phi_B = W_f - E_f$ (E_f : 半導体の電子親和力、 W_f : ゲート金属の仕事関数)

GaN系の場合、界面のピニング現象の効果が小さいため、 $E_f - W_f$ で ϕ_B が規定される。

【0024】

また、 E_f は AlGaN 層の Al 組成率 x による。よって、

$E_f \propto x$

となる。

$E_f(\text{AlN}) = 0.6$, $E_f(\text{GaN}) = 4.1$ であることから、

$E_f = 4.1 - 3.5x$

となる。

例えば、ゲート金属を Ni とした場合、Ni の W_f は 4.5 程度であり、

$\phi_B(\text{Ni}) = 0.4 + 3.5x$ (例: $x = 0.15$ の場合、 $\phi_B = 0.93 \text{ eV}$)

【0025】

パワーデバイスとして使用する場合、 ϕ_B としては 0.8 eV 以上が必須である。これは、+0.8 V 程度までは順方向にゲート電極をバイアスするためである。従って Ni の場合、 x としては 0.115 以上が必須となる。

【0026】

Ni 以外の金属の場合でも実用的には (金属の密着性込み)、 W_f が 4.5 を大きく上回ることはないため、上記順方向ゲートリークで下限が規定される。

【0027】

(3) 膜厚の下限の規定: 電流コラプス

電流コラプスは、2次元電子ガス量、ゲート電極からチャネルまでのトータルのドーピング量、及び表面トラップ量との相関で決まる。実験的には以下の相関がある。

電流コラプス量の定義 δI_{\max}

$= ((\text{DC 測定での } I_{\max}) - (\text{パルス } I-V \text{ での } I_{\max})) / (\text{DC 測定での } I_{\max})$

2次元電子ガス量 = ピエゾ効果 + 自然分極 + ドーピングによる電子

コラプス量 = ドーピングによる電子 - 表面トラップ量

であり、これが負になると電流コラプスが発生する。

【0028】

ピエゾ効果 + 自然分極 (cm^2) = $3 \times 10^{13} \times \log(12x)$

ドーピングによる電子 (cm^2) = $1 \times 10^{-6} \times N_d \times d$ (nm)

(N_d : ドーピング量 (cm^3))

表面トラップ量 (cm^2) = $2.7 \times 10^{12} \times (0.05 \times x \times d)$

表面トラップの効果 \propto 表面欠陥 \propto 表面ラフネス \propto 総歪み量

但し、表面ラフネスが全てトラップとなるわけではないため、その依存性は弱い。よって、

電流コラプス量 = $1 \times 10^{-6} \times (0.05 \times x \times d)$

ピエゾ効果 + 自然分極について x と 2次元電子ガス濃度との関係を図 5 に、 $x \times d$ と表面トラップ量との関係を図 6 に、 $x \times d$ と電流コラプス量との関係を図 7 にそれぞれ示す。

これらの関係により、 d の下限が規定される。2次元電子ガス量の大小によりその効果の大きさは異なるが、上記のコラプス量が負になるとデバイス特性は劣化する。

【0029】

以下、これらの理論的背景に基づき、 x 及び d の具体的な数値規定を示す。

図 8 は、第 2 の窒化物半導体層（ここでは AlGaIn 層）の Al 組成率 x と膜厚 d との関係をシミュレーションにより算出した結果を示す特性図である。

ここで、直線 a が、

$$d = -80x + 29$$

であり、直線 b が、

$$d = -180x + 52$$

である。

【0030】

窒素空孔は、 AlGaIn 層の Al 組成率 x が大きいと歪の効果により発生しやすい。 Al と Ga とでは Ga が選択的に抜けやすい問題もある。 AlGaIn 層上に GaIn を積層した場合でも AlGaIn 層による歪が大きいと窒素が抜けやすくなる。従って、 GaIn 層の表面構造においては、 Al 組成率 x を 17% 未満にして歪を現象させると窒素抜けを防ぐ作用があることを見出した。17% 以上では GaIn 層の表面ラフネスを低減できず、2 nm 以上の段差が表面に形成され電界の部分的集中を招く。従って、 x は 17%（好ましくは 16%）より小さいことを要する。また、 GaIn 層の表面構造においては、 Al 組成率 x を 12.5% 以上（好ましくは 14 nm 以上）でなければ 2 次元電子ガスの濃度が低くなり過ぎ、且つゲート順方向耐圧 (V_f) も低くなり過ぎる作用も見出した。このように、2 次元電子ガスの量が低く過ぎず、歪を減らすことで窒素抜けを防ぐ作用を見出した。

【0031】

また、膜厚 d も 29.5 nm 以上に厚いと歪が大き過ぎる。従って、29.5 nm よりも薄い（好ましくは 24 nm 以下）ことが作用上必要であることを見出した。一方、膜厚 d が 15.4 nm より薄いと 2 次元電子ガスの濃度が低く過ぎてプロセスダメージを受けやすくなり、逆に窒素が抜ける虞がある。従って 15.4 nm（好ましくは 17 nm）以上であることが作用上必要であることを見出した。

【0032】

以上から、図 8 の領域 R 内にあれば良いことが判る。即ち、 Al 組成率 x と膜厚 d との定量的関係としては、

$$-80x + 29 < d < -180x + 52$$

且つ、

$$0.125 \leq x < 0.17 \quad (0.18)$$

且つ、

$$15.4 \leq d < 29.5$$

である。更に好ましくは、 x 、 d の各許容範囲は、

$$0.14 \leq x \leq 0.16$$

$$17 \leq d \leq 24$$

である。

【0033】

[3] . 他の具体的条件

以下、上述した窒素抜けを確実に防止するための他の諸条件を示す。

積層体（第 1～第 3 の窒化物半導体層：ここでは、 $i\text{-GaIn}$ 層、 AlGaIn 層、 $n\text{-GaIn}$ 層）のシート抵抗を、 $500 \Omega/\text{sq} \sim 700 \Omega/\text{sq}$ 、好ましくは $550 \Omega/\text{sq} \sim 850 \Omega/\text{sq}$ とする。

【0034】

また、 AlGaIn 層に対する n 型不純物のドーピング濃度 N_d ($/\text{cm}^3$) は、 Al 組成率 x との関係で、

$$1 \times 10^{14} \leq N_d \leq -2 \times 10^{19} x + 5 \times 10^{18}$$

とし、且つ 2×10^{18} ($/\text{cm}^3$) 程度を上限にする。これにより、ゲートリークを増やさず 2 次元電子ガスを保つことができる。

【0035】

また、ゲート電極の閾値電圧を -2.5 V 以上 -1.5 V 以下、例えば -2 V 程度とし、ゲート電極の電圧 $V_g = 0$ における電流値を 150 mA/mm 以上 300 mA/mm 以下、例えば 200 mA/mm 程度とする。これにより、ゲートリークを増やさず、窒素抜けを起こさない歪量に抑えることができる。

【0036】

また、 $n\text{-Ga N}$ 層の膜厚を 10 nm 以下とし、 (0004) 回折のX線($K\alpha$ 線)により測定した Al Ga N のピークと Ga N のピークとの差分値(arc sec)を、 300 以上 400 以下とすることが好適である。

【0037】

また、上記の積層体を成長形成するに際して、MOCVD法を用い、 Al Ga N 層及び $n\text{-Ga N}$ 層を 1000°C 以上の温度条件により成長形成するとともに、 $n\text{-Ga N}$ 層の成長後、 NH_3 の流量を $n\text{-Ga N}$ 層の成長時よりも増加させることや、 $n\text{-Ga N}$ 層の成長時のキャリアガスを H_2 とし、成長後のキャリアガスを N_2 とすることにより、 $n\text{-Ga N}$ 層の表面から深さ 2 nm 以内における窒素空孔率を 20% 以下として、窒素抜けを防止することが可能となる。

【0038】

また、 Al Ga N 層をその内部において、前記組成率 x よりも組成率 x が大きく且つ当該組成率 x が 0.3 以下である少なくとも1つの部分が存在するように形成しても良い。

【0039】

—変形例—

以上、第2の窒化物半導体層として Al Ga N 層を例示したが、 Al Ga N 層の替わりに Al Ga In N 層を用いても良い(これに伴い、第1及び第3の窒化物半導体層も替える場合がある。)

【0040】

Al Ga In N 層を用いる場合、例えば In N 組成率を 5% とすると、

表面ラフネス(nm) $=11 \times x \times d$

逆方向ゲートリーク($\mu\text{A/mm}$)($V_g = -5\text{ V}$)

$=1.8 \times 10^{-6} \times 10^{(11 \times x \times d)}$

となる。 Al 組成率を同一とすると、 Al Ga In N は Al Ga N に比べて約5倍の表面ラフネスがあり、その結果として逆方向ゲートリークも増加する。但し、 Al 組成率 x と膜厚 d との関係は、上述の Al Ga N 層の場合と略同様である。

【0041】

また、 Al Ga In N 層を用いる場合、 Al 組成率 x と膜厚 d (nm)との関係は、 In 組成率を y として、

$0 < y \leq 0.05$

且つ、

$x \leq 0.10$

且つ、

$10 \leq d \leq 15$

とするのが好ましい。

【0042】

ここで、 In 組成率を 5% より大とすると、成長温度を 700°C 程度まで下げることがを要し、現実的に成長させることが困難となる。 Al 組成率 x は表面ラフネスとの関係から、 0.10 より大きくすることはできない。また、膜厚 d も同様の理由により 15 nm より大きくすることは困難である。

【0043】

—本発明の具体的な実施形態—

以下、本実施形態によるHEMT構造の化合物半導体装置の構成をその製造方法と共に説明する。

図9は、本実施形態によるHEMT構造の化合物半導体装置を示す概略断面図である。

【0044】

まず、SiC基板1上に電子走行層となるノンドープのGa_{0.9}N層(i-GaN層)2を膜厚1 μ m程度に成長形成する。続いて、AlGa_{0.15}N層3を成長形成する。具体的には、i-GaN層2上にノンドープでAl組成率が15%程度のAlGa_{0.15}N層(i-AlGa_{0.15}N層)11を膜厚3nm程度に成長し、更にSiを濃度 $2 \times 10^{18} / \text{cm}^3$ 程度にドーピングしたAl組成率が15%程度のAlGa_{0.15}N層(n-AlGa_{0.15}N層)12を膜厚17nm程度に成長し、これら2層構造からなるAlGa_{0.15}N層3を形成する。続いて、n-AlGa_{0.15}N層11上にn型不純物がドーピングされたGa_{0.9}N層(n-GaN層)4を膜厚5nm程度に成長する。

【0045】

これら2, 3, 4からなる積層体のシート抵抗値は720 Ω / sq 程度である。また、積層体の成長形成にはMOCVD法を用い、成長圧力を100 Torr程度とする。n-GaN層4の成長時には成長温度を1100 $^{\circ}\text{C}$ 以下とし、キャリアガスをH₂としてNH₃の流量を1.2 L/min程度とする。ここで、このNH₃量はGa原料の10万倍以上である。そして、n-GaN層4の成長後、NH₃量を同様に保ちながら30秒間以内に温度を1000 $^{\circ}\text{C}$ 以下に低下させ、その後、キャリアガスをN₂ベースとしNH₃の流量を4.5 L/min程度として降温する。

【0046】

続いて、n-GaN層4とオーミック接合するソース電極及びドレイン電極7, 8をTi/Alを材料としてパターン形成し、イオン注入により素子分離した後、Nを50%程度含有するSiN膜5をプラズマCVD法により堆積形成する。そして、ファインゲート用のレジスト塗布とマスク露光、現像を行い、ゲート部分のSiN膜5のみをドライエッチングする。その後、オーバーゲート用のレジスト塗布とマスク露光、現像を行い、ゲート金属であるNi/Auを蒸着し、リフトオフしてゲート電極6をパターン形成する。

【0047】

この化合物半導体装置において、前記積層体を形成した状態でXPSにより窒素抜けの状況を調べたところ、図10(処理温度をT_gとする)に示すように、n-GaN層4の表面から深さ2nm以内の領域においては、成長温度ではなく降温の条件が重要であることが見出された。

【0048】

また、この化合物半導体装置について、図12に示した従来の化合物半導体装置との比較に基づきデバイス特性(ゲートドレイン間電圧とゲートドレイン間電流との関係)を調べた。測定結果を図11に示す。ここで、従来の化合物半導体装置では、i-AlGa_{0.15}N層111を膜厚が3nm程度であり、Al組成が25%程度、n-AlGa_{0.15}N層112を膜厚が22nm程度であり、Al組成が25%程度とすること以外は、本実施形態と同様とする。図11に示すように、本実施形態では従来例に比べてゲートリーク電流を二桁近く低減されていることが判る。

【0049】

本発明の諸態様を付記としてまとめて記載する。

【0050】

(付記1) 電子走行層となる第1の窒化物半導体層と、電子供給層となり、Alを含有する第2の窒化物半導体層と、Alの含有量が0又は前記第2の窒化物半導体層よりも少ない第3の窒化物半導体層とが基板上に順次成長してなる積層体を含み、前記第3の窒化物半導体層は、その表面から深さ2nm以内における窒素空孔率が20%以下とされてなることを特徴とする化合物半導体装置。

【0051】

(付記2) 前記第2の窒化物半導体層は、そのAlの組成率をx、膜厚をd(nm)として、

$$0.14 \leq x \leq 0.16$$

及び、

$$1.7 \leq d \leq 2.4$$

を満たし、且つ、

前記積層体のシート抵抗が $550 \Omega/\square \sim 850 \Omega/\square$ であることを特徴とする付記 1 に記載の化合物半導体装置。

【0052】

(付記 3) 前記第 2 の窒化物半導体層内において、前記組成率 x よりも組成率 x が大きく且つ当該組成率 x が 0.3 以下である少なくとも 1 つの部分が存在することを特徴とする付記 2 に記載の化合物半導体装置。

【0053】

(付記 4) 電子走行層となる第 1 の窒化物半導体層と、
電子供給層となり、 Al を含有する第 2 の窒化物半導体層と、
 Al の含有量が 0 又は前記第 2 の窒化物半導体層よりも少ない第 3 の窒化物半導体層とが基板上に順次成長してなる積層体を含み、
前記第 2 の窒化物半導体層は、その Al の組成率を x 、膜厚を d (nm) として、
 $-80x + 2.9 < d < -180x + 5.2$
を満たす膜厚に形成されてなることを特徴とする化合物半導体装置。

【0054】

(付記 5) 前記第 3 の窒化物半導体層の膜厚が 10 nm 以下であることを特徴とする付記 4 に記載の化合物半導体装置。

【0055】

(付記 6) 前記第 2 の窒化物半導体層は、その Al の組成率 x が、
 $0.125 \leq x < 0.18$
であることを特徴とする付記 4 又は 5 に記載の化合物半導体装置。

【0056】

(付記 7) 前記第 2 の窒化物半導体層は、その Al の組成率を x 、膜厚を d (nm) として、

$$0.14 \leq x \leq 0.16$$

及び、

$$1.7 \leq d \leq 2.4$$

を満たし、且つ、

前記積層体のシート抵抗が $550 \Omega/\square \sim 850 \Omega/\square$ であることを特徴とする付記 4 又は 5 に記載の化合物半導体装置。

【0057】

(付記 8) 前記第 2 の窒化物半導体層内において、前記組成率 x よりも組成率 x が大きく且つ当該組成率 x が 0.3 以下である少なくとも 1 つの部分が存在することを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の化合物半導体装置。

【0058】

(付記 9) 前記積層体の上部にゲート及びソース／ドレインを備えており、
前記ゲートの閾値電圧が -2.5 V 以上 -1.5 V 以下であることを特徴とする付記 1 ～ 8 のいずれか 1 項に記載の化合物半導体装置。

【0059】

(付記 10) 前記ゲートの電圧 $V_g = 0$ における電流値が 150 mA/mm 以上 300 mA/mm 以下であることを特徴とする付記 9 に記載の化合物半導体装置。

【0060】

(付記 11) 前記第 2 の窒化物半導体層に n 型不純物が導入されており、その不純物濃度 N_d ($/\text{cm}^3$) が、

$$1 \times 10^{14} \leq N_d \leq -2 \times 10^{19} x + 5 \times 10^{18}$$

を満たす値であることを特徴とする付記 1 ～ 10 のいずれか 1 項に記載の化合物半導体装置。

【0061】

(付記12) 前記第1及び第3の窒化物半導体層がGaNを、前記第2の窒化物半導体層がAlGaNをそれぞれ含有しており、

(0004) 回折のX線($K\alpha$ 線)により測定したAlGaNのピークとGaNのピークとの差分値(arc sec)が、300以上400以下であることを特徴とする付記1~11のいずれか1項に記載の化合物半導体装置。

【0062】

(付記13) 基板上に、電子走行層となる第1の窒化物半導体層を形成する工程と、前記第1の窒化物半導体層上に、電子供給層となり、Alを含有する第2の窒化物半導体層を形成する工程と、

前記第2の窒化物半導体層上に、Alの含有量が0又は前記第2の窒化物半導体層よりも少なく、その表面から深さ2nm以内における窒素空孔率が20%以下となるように制御してなる第3の窒化物半導体層を形成する工程と

を含むことを特徴とする化合物半導体装置の製造方法。

【0063】

(付記14) 前記積層体をMOCVD法により成長形成し、

前記第2及び第3の窒化物半導体層を1000℃以上の温度条件により成長形成するとともに、前記第3の窒化物半導体層の成長後、NH₃の流量を前記第3の窒化物半導体層の成長時よりも増加させることを特徴とする付記13に記載の化合物半導体装置の製造方法。

【0064】

(付記15) 前記第3の窒化物半導体層の成長時のキャリアガスをH₂とし、成長後のキャリアガスをN₂とすることを特徴とする付記13又は14に記載の化合物半導体装置の製造方法。

【図面の簡単な説明】

【0065】

【図1】従来のHEMT構造の化合物半導体装置において、窒素空孔が生ずる様子を示すバンドギャップ図である。

【図2】窒素空孔が発生する様子を示す概略断面図である。

【図3】表面ラフネスについて $x \times d$ と最大段差との関係を示す特性図である。

【図4】 $x \times d$ と逆方向ゲートリーク電流との関係を示す特性図である。

【図5】piezo効果+自然分極について x と2次元電子ガス濃度との関係を示す特性図である。

【図6】 $x \times d$ と表面トラップ量との関係を示す特性図である。

【図7】 $x \times d$ と電流コラプス量との関係を示す特性図である。

【図8】AlGaN層のAl組成率 x と膜厚 d との関係をシミュレーションにより算出した結果を示す特性図である。

【図9】本実施形態によるHEMT構造の化合物半導体装置を示す概略断面図である。

【図10】XPSによりGaN層の窒素抜けの状況を調べた測定結果を示す特性図である。

【図11】従来の化合物半導体装置との比較に基づきデバイス特性を調べた測定結果を示す特性図である。

【図12】従来のHEMT構造の化合物半導体装置を示す概略断面図である。

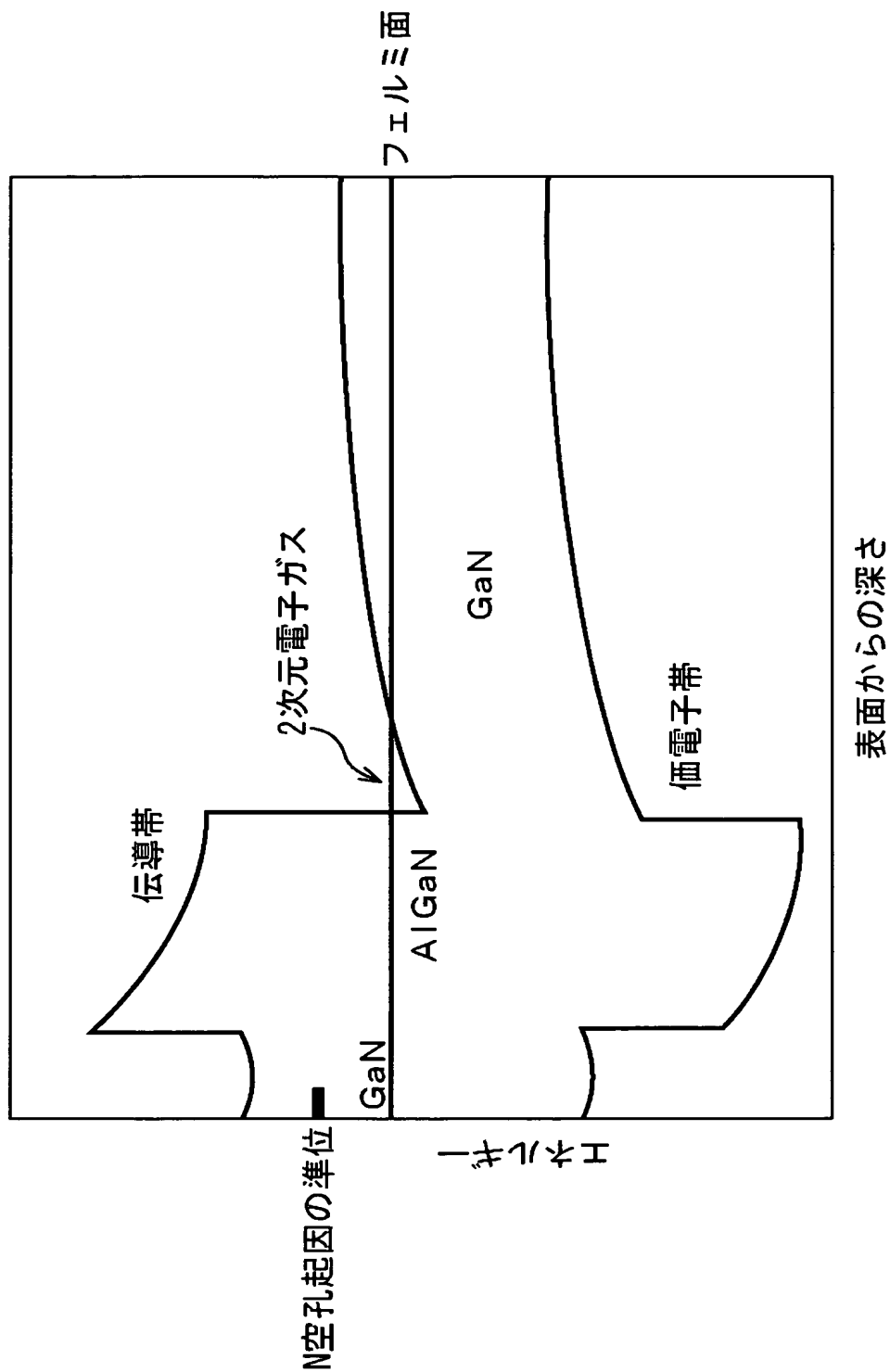
【符号の説明】

【0066】

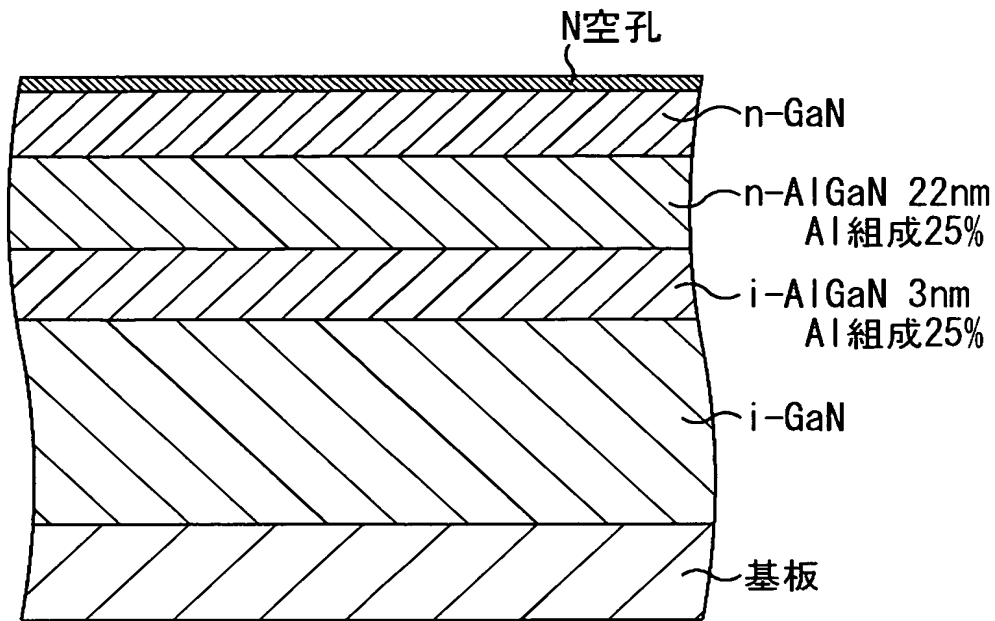
- 1 SiC基板
- 2 i-GaN層
- 3 AlGaN層
- 4 n-GaN層

- 5 S i N 膜
- 6 ゲート電極
- 7 ソース電極
- 8 ドレイン電極
- 1 1 i - A l G a N 層
- 1 2 n - A l G a N 層

【書類名】 図面
【図 1】

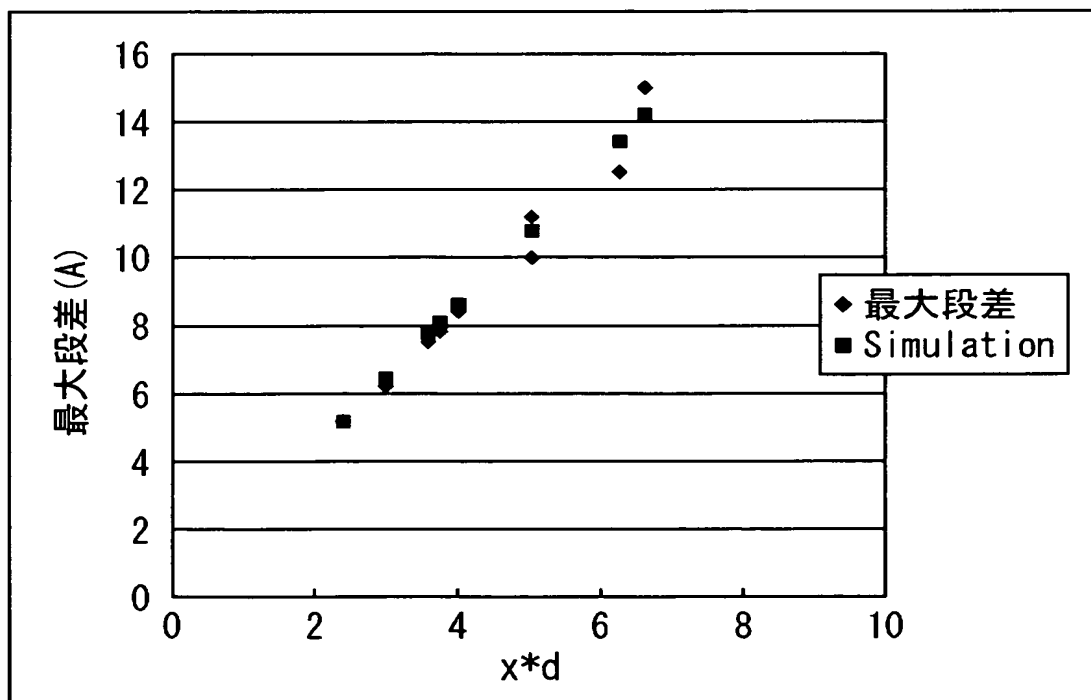


【図2】



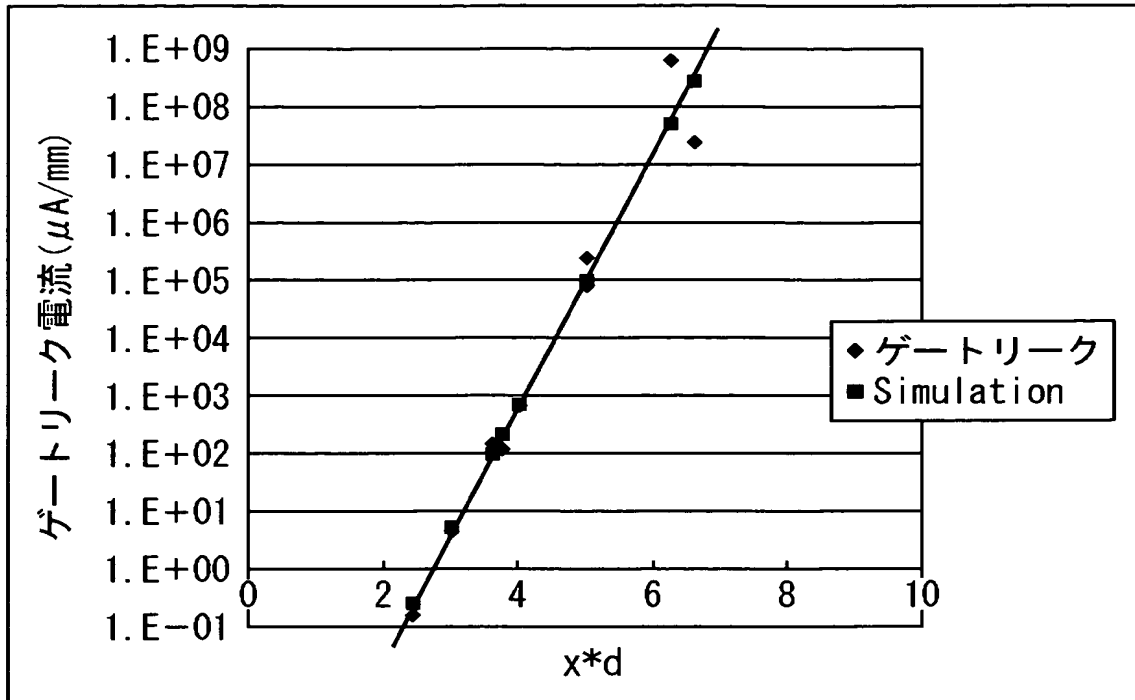
【図3】

$$\text{表面ラフネス (nm)} = 2.15 * x * d \text{ (nm)}$$

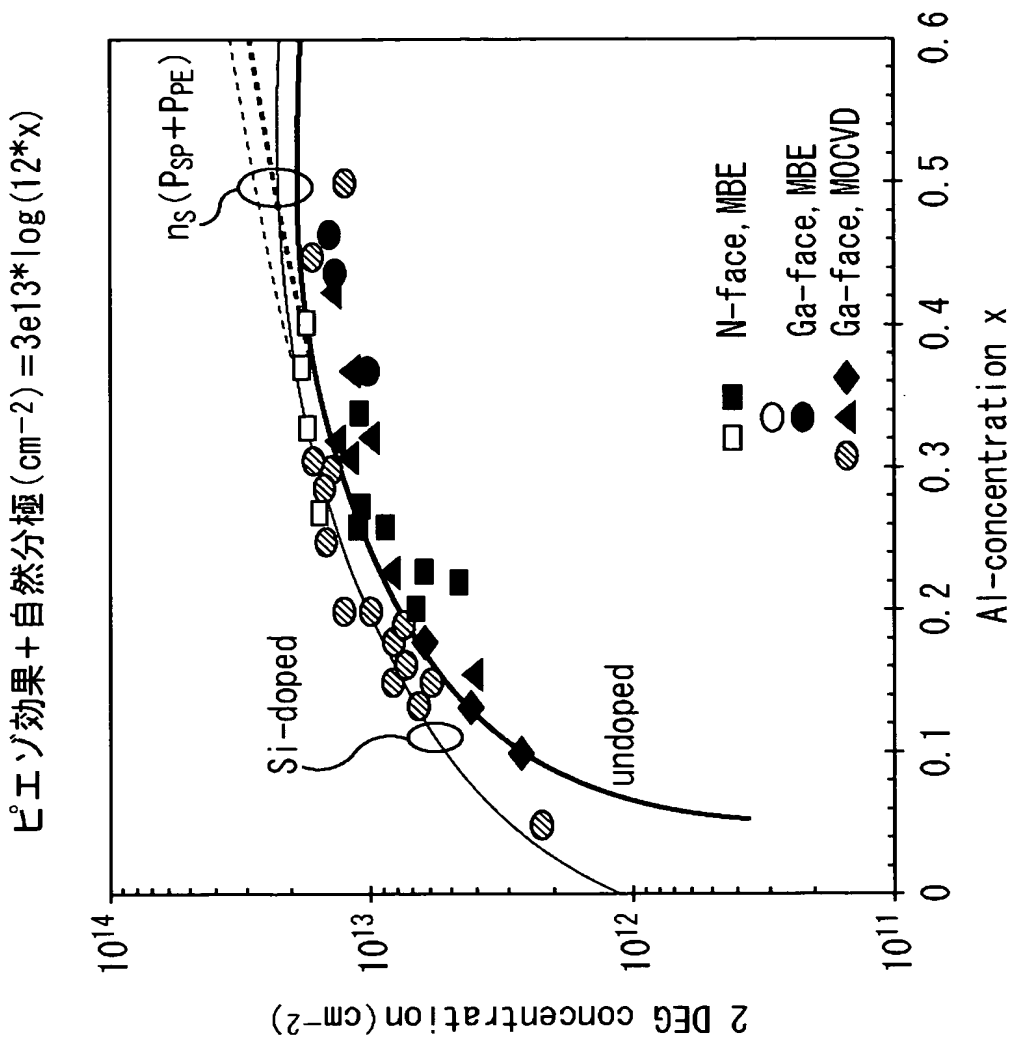


【図 4】

逆方向ゲートリーク ($\mu\text{A}/\text{mm}$)
($@V_g = -5\text{V} = 1.8\text{E}-6 \cdot 10^{(2.15 \cdot x \cdot d \cdot (\text{nm}))}$)

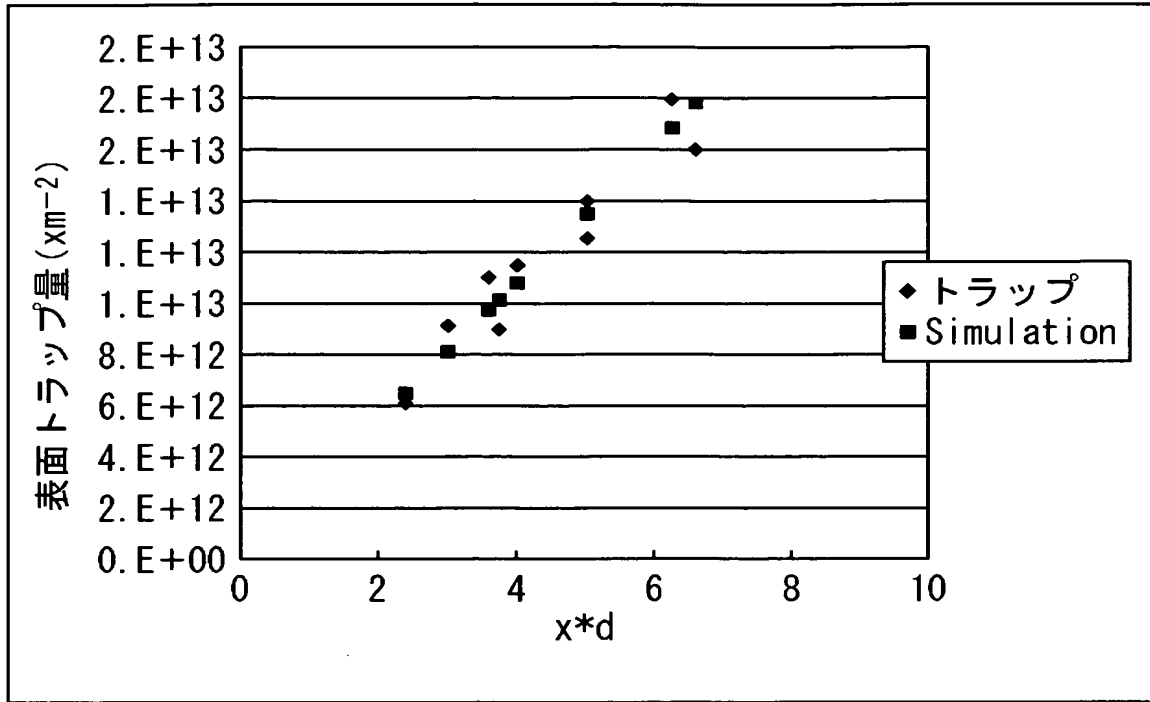


【図 5】



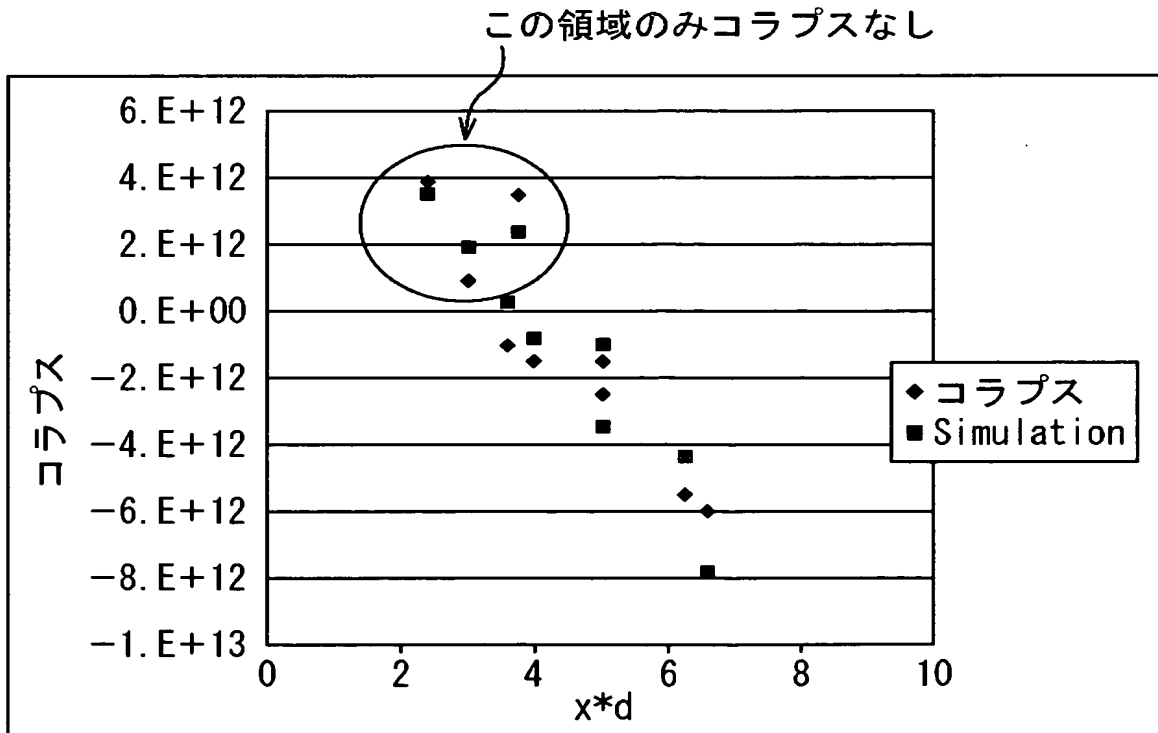
【図 6】

表面トラップ量 (cm^{-2}) = $2.7 \times 10^{12} \times (0.05 \times x \times d \text{ (nm)})$

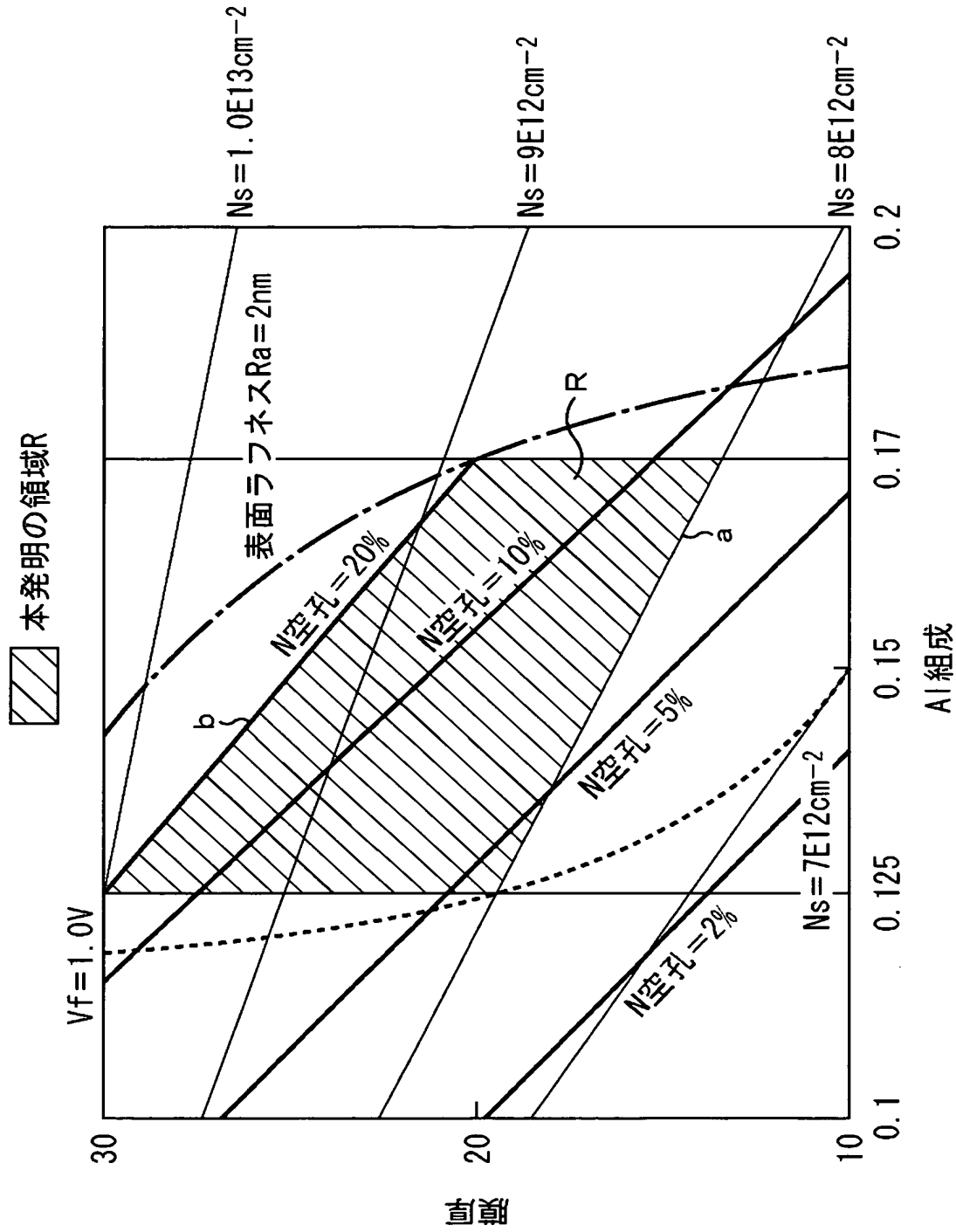


【図 7】

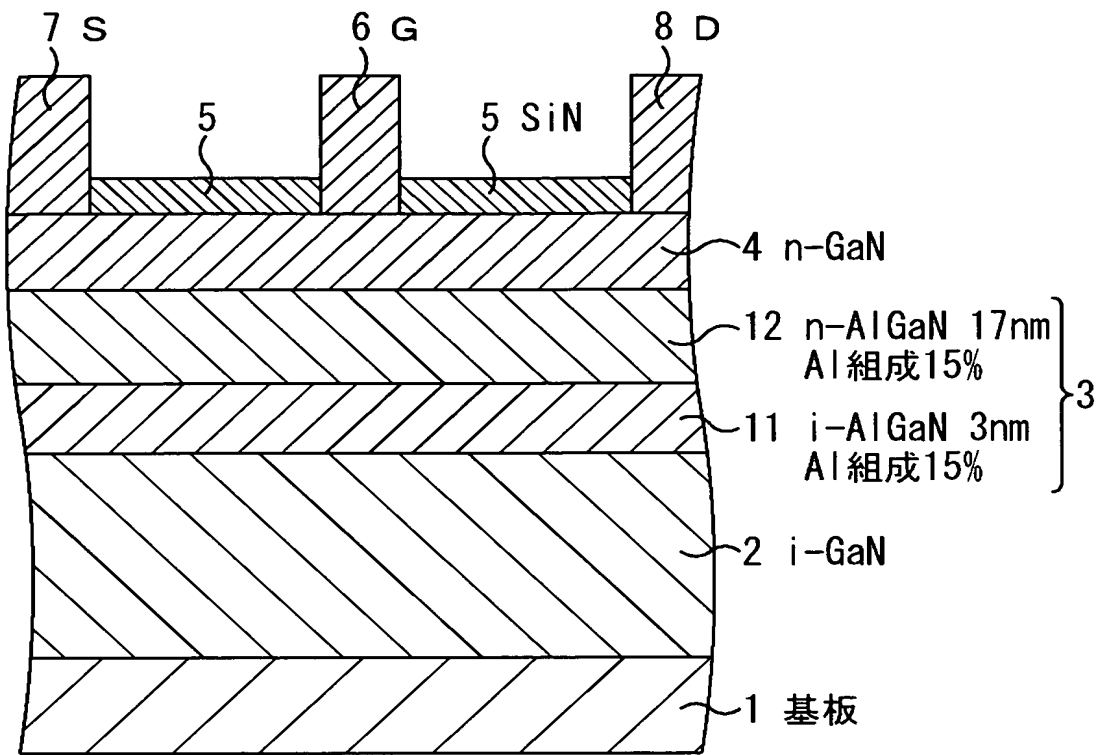
電流コラプス量: $1 \times 10^{-6} \times N_d \times d \text{ (nm)} / 4 - 2.7 \times 10^{12} \times (0.05 \times x \times d \text{ (nm)})$



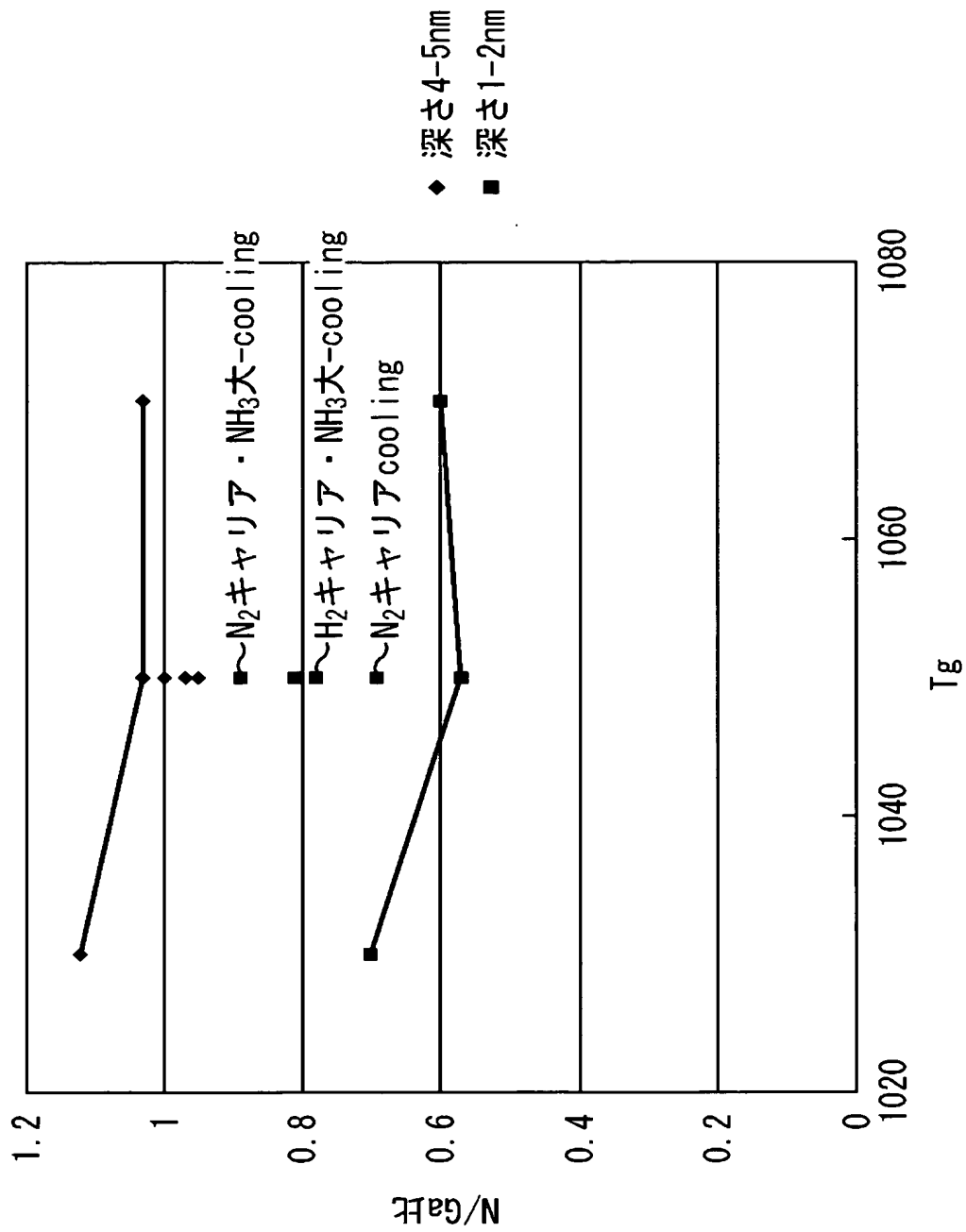
【図 8】



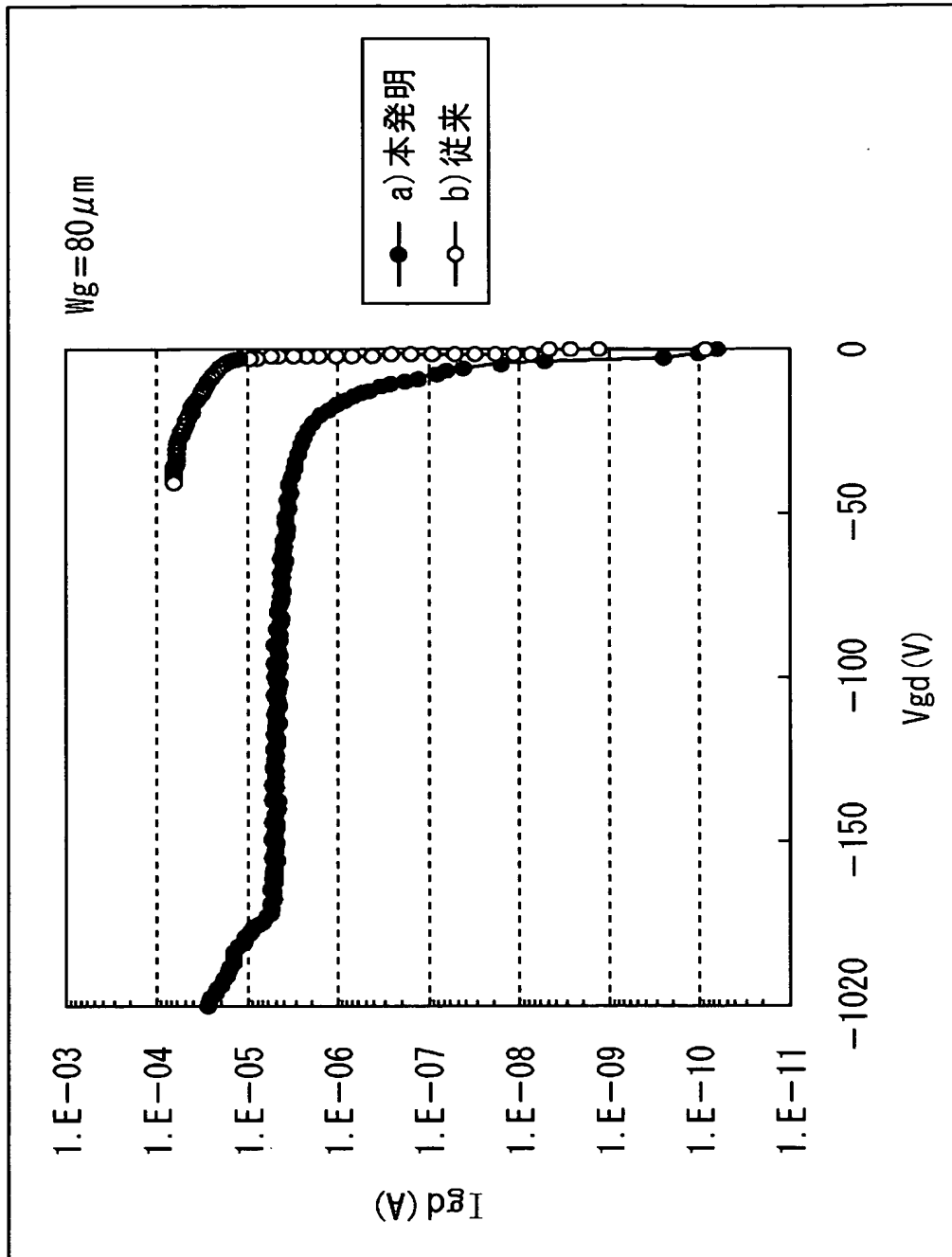
【図 9】



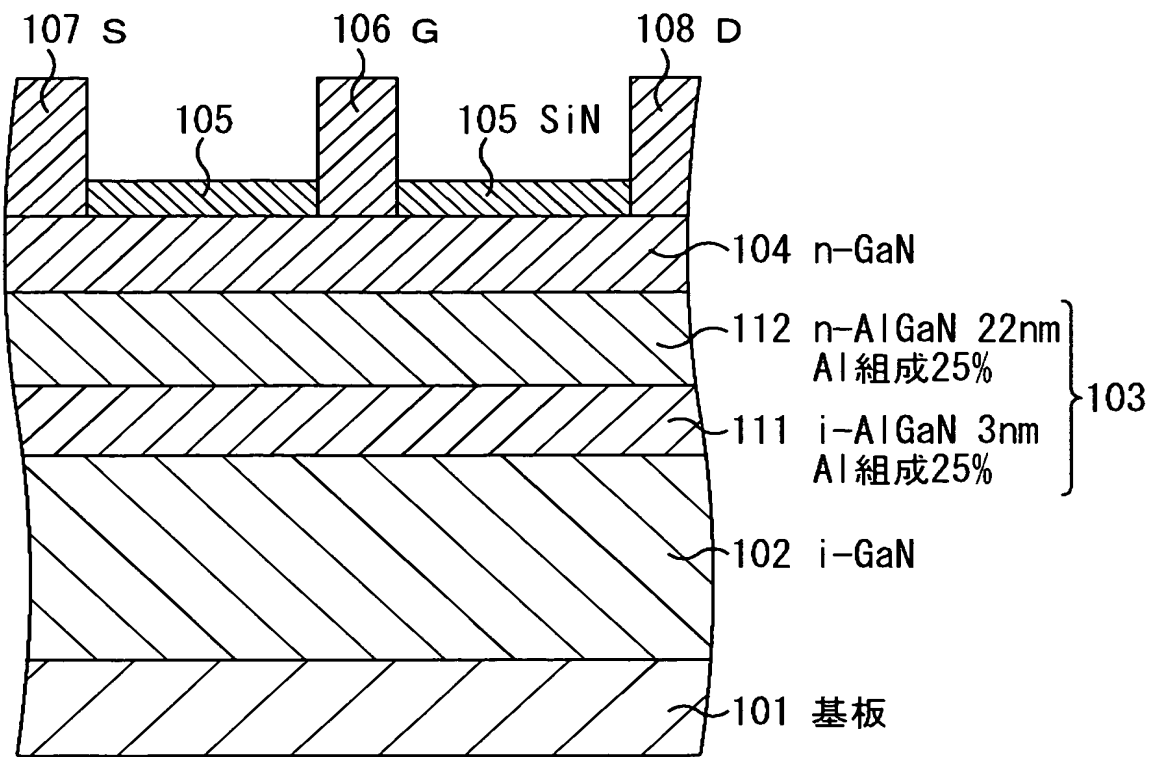
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 電流コラプスを低減させてRF特性を改善し、携帯電話基地局用アンプに必要とされる耐圧を得ることを可能とする。

【解決手段】 AlGaIn層3を成長形成するに際して、i-GaN層2上にノンドープでAl組成率が15%程度のAlGaIn層(i-AlGaIn層)11を膜厚3nm程度に成長し、更にSiを濃度 $2 \times 10^{18} / \text{cm}^3$ 程度にドープしたAl組成率が15%程度のAlGaIn層(n-AlGaIn層)12を膜厚17nm程度に成長し、これら2層構造からなるAlGaIn層3を形成する。

【選択図】 図9

特願 2 0 0 3 - 3 6 7 9 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社